

Patent number: JP6347825
Publication date: 1994-12-22
Inventor: ORITSUKI RYOJI
Applicant: HITACHI LTD
Classification:
- **international:** G02F1/136; H01L29/784
- **european:**
Application number: JP19930135943 19930607
Priority number(s): JP19930135943 19930607

Report a data error here

Abstract of JP6347825

PURPOSE:To eliminate the need for photoetching stage of a transparent conductive film and to reduce the cost of production in forming a transparent pixel electrode by forming the pixel electrode in a hole part formed in the protective film of a thin-film transistor(TFT). CONSTITUTION:The protective film PSV11 of the TFT1 of the liquid crystal display device consisting of the TFT1 and the pixel electrode ITO1 as the constituting elements of the pixel is provided with the hole part HOP and the pixel electrode ITO1 is formed in the hole part HOP. A resist is formed on the protective film PSV11 of the TFT1 and the hole part HOP is formed in the position where the pixel electrode ITO1 of the protective film PSV11 is to be formed. After conductive film is formed on this resist, the resist is removed. The transparent pixel electrode ITO1 is composed of a third conductive film d3 and this third conductive film d3 consists of the transparent conductive film formed by sputtering.

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-347825

(43)公開日 平成6年(1994)12月22日

(51)Int.C1.⁵

G02F 1/136
H01L 29/784

識別記号

500 9119-2K
9056-4M H01L 29/78

F I

311 A

審査請求 未請求 請求項の数 2 O L (全18頁)

(21)出願番号

特願平5-135943

(22)出願日

平成5年(1993)6月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 折付 良二

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

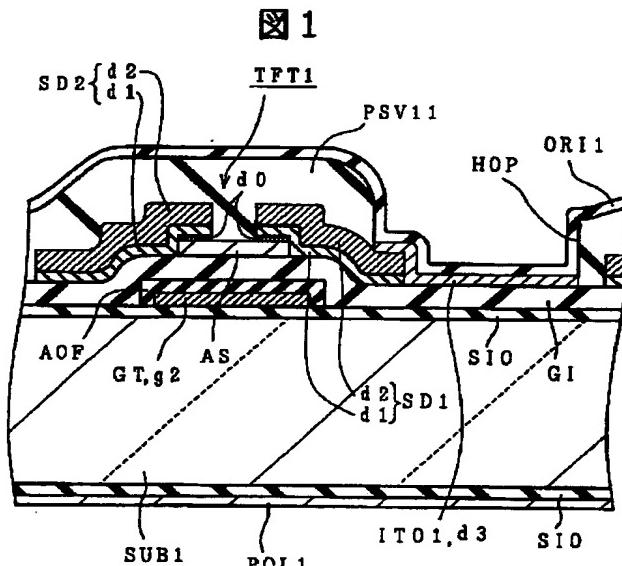
(74)代理人 弁理士 中村 純之助

(54)【発明の名称】液晶表示装置およびその製造方法

(57)【要約】

【目的】 製造コストを安価にする。

【構成】 薄膜トランジスタTFT1の保護膜PSV1
1に穴部HOPを設け、穴部HOPに透明画素電極ITO1
O 1を形成する。



PSV11…保護膜

TFT1…薄膜トランジスタ

ITO1…透明画素電極

HOP…穴部

【特許請求の範囲】

【請求項 1】薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置において、上記薄膜トランジスタの保護膜に穴部を設け、上記穴部に上記画素電極を形成したことを特徴とする液晶表示装置。

【請求項 2】薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置を製造する方法において、上記薄膜トランジスタの保護膜上にレジストを形成し、上記保護膜の上記画素電極を形成すべき位置に穴部を設け、上記レジスト上に導電膜を設けたのち、上記レジストを除去することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】この発明は、液晶表示装置に係り、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0 0 0 3】従来のアクティブ・マトリクス方式の液晶表示装置においては、透明基板と薄膜トランジスタの保護膜との間に透明画素電極が設けられている。

【0 0 0 4】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した1.2.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0 0 0 5】

【発明が解決しようとする課題】このような液晶表示装置においては、透明画素電極を形成するのに、透明導電膜のホトエッチング工程を行なわなければならないから、製造コストが高価となる。

【0 0 0 6】この発明は上述の課題を解決するためになされたもので、製造コストが安価な液晶表示装置、その製造方法を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】この目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置において、上記

薄膜トランジスタの保護膜に穴部を設け、上記穴部に上記画素電極を形成する。

【0 0 0 8】また、薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置を製造する方法において、上記薄膜トランジスタの保護膜上にレジストを形成し、上記保護膜の上記画素電極を形成すべき位置に穴部を設け、上記レジスト上に導電膜を設けたのち、上記レジストを除去する。

【0 0 0 9】

10 【作用】この液晶表示装置、その製造方法においては、画素電極を形成するのに、導電膜のホトエッチング工程を行なう必要がない。

【0 0 1 0】

【実施例】この発明、この発明の更に他の目的およびこの発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0 0 1 1】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0 0 1 2】《マトリクス部の概要》図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図3は図2の3-3切断線における断面図、図4は図2の4-4切断線における断面図である。

【0 0 1 3】図2に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドライン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0 0 1 4】図3に示すように、液晶LC層を基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFL、ブラックマトリクスパターンの遮光膜BMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0 0 1 5】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFL、保護膜PSV2、共通透明画素電極ITO2(CO)M)および上部配向膜ORI2が順次積層して設けられている。

【0 0 1 6】《マトリクス周辺の概要》図5は透明ガラ

ス基板SUB1、SUB2を含む表示パネルPNLのマトリクスARの周辺の要部平面を示す図、図6はその周辺部を更に誇張した平面を示す図、図7は図5および図6のパネル左上角部に対応するシールパターンSL付近の拡大平面を示す図である。また、図8は図3の断面を中心にして、左側に図7の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子であるドレイン端子DTM付近の断面を示す図である。同様に図9は、左側に垂直走査回路が接続されるべき外部接続端子であるゲート端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0017】この表示パネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラス基板を切断する。図5～図7は後者の例を示すもので、図5、図6の両図とも透明ガラス基板SUB1、SUB2の切断後を、図7は切断前を表しており、LNは透明ガラス基板SUB1、SUB2の切断前の縁を、CT1、CT2はそれぞれ透明ガラス基板SUB1、SUB2を切断すべき切断線を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上部透明ガラス基板SUB2の大きさが下部透明ガラス基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する垂直走査回路接続用のゲート端子GTM、映像信号駆動回路接続用のドレイン端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図18、図19）の単位に複数本まとめて名付けたものである。各群のマトリクスAR部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、テープキャリアパッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0018】透明ガラス基板SUB1、SUB2の間に40
はその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シールパターンSLはたとえばエポキシ樹脂からなる。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、この表示装置では表示パネルPNLの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0019】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2のそれぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV11、透明画素電極ITOの上部に形成される。

【0020】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを上部透明ガラス基板SUB2側に形成し、上部透明ガラス基板SUB1と下部透明ガラス基板SUB2とを重ね合わせ、シールパターンSLの液晶封入口INJから液晶LCを注入し、液晶封入口INJをエポキシ樹脂などで封止し、透明ガラス基板SUB1、SUB2を切断することによって組み立てられる。

【0021】《薄膜トランジスタTFT》次に、図2、図3に戻り、薄膜トランジスタTFTが形成された下部透明ガラス基板SUB1側の構成を詳しく説明する。

【0022】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースードレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0023】各画素には複数（2つ）の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成され、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドープされていない）非晶質Siからなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有する。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0024】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通のゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、单層の第2導電膜g2で形成されている。第2導電膜g2としてはたとえばスパッタで形成されたA1膜が用いられ、その上にはA1の陽極酸化膜AOFが

設けられている。

【 0 0 2 5 】 このゲート電極 G T は i 型半導体層 A S を完全に覆うよう（下方からみて）それより大き目に形成され、 i 型半導体層 A S に外光やバックライト光が当たらないよう工夫されている。

【 0 0 2 6 】 《走査信号線 G L 》 走査信号線 G L は第 2 導電膜 g 2 で構成されている。この走査信号線 G L の第 2 導電膜 g 2 はゲート電極 G T の第 2 導電膜 g 2 と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線 G L 上にも A 1 の陽極酸化膜 A O F が設けられている。

【 0 0 2 7 】 《絶縁膜 G I 》 絶縁膜 G I は、薄膜トランジスタ TFT 1 、 TFT 2 において、ゲート電極 G T と共に i 型半導体層 A S に電界を与えるためのゲート絶縁膜として使用される。絶縁膜 G I はゲート電極 G T および走査信号線 G L の上層に形成されている。絶縁膜 G I としてはたとえばプラズマ CVD で形成された窒化 Si 膜が選ばれ、 1 2 0 0 ～ 2 7 0 0 Å の厚さに（この表示装置では、 2 0 0 0 Å 程度）形成される。ゲート絶縁膜 G I は図 7 に示すように、マトリクス部 A R の全体を囲むように形成され、周辺部は外部接続用の端子 D T M 、 G T M を露出するよう除去されている。絶縁膜 G I は走査信号線 G L と映像信号線 D L との電気的絶縁にも寄与している。

【 0 0 2 8 】 《 i 型半導体層 A S 》 i 型半導体層 A S は、本例では薄膜トランジスタ TFT 1 、 TFT 2 のそれぞれに独立した島となるよう形成された非晶質 S i で、 2 0 0 ～ 2 2 0 0 Å の厚さに（この表示装置では、 2 0 0 0 Å 程度の膜厚）で形成される。 d 0 はオーミックコンタクト用のリン（ P ）をドープした N(+) 型非晶質 S i からなる N(+) 型半導体層であり、下側に i 型半導体層 A S が存在し、上側に導電膜 d 1 (d 2) が存在するところのみに残されている。

【 0 0 2 9 】 i 型半導体層 A S は走査信号線 G L と映像信号線 D L との交差部（クロスオーバ部）の両者間にも設けられている。この交差部の i 型半導体層 A S は交差部における走査信号線 G L と映像信号線 D L との短絡を低減する。

【 0 0 3 0 】 《透明画素電極 I T O 1 》 透明画素電極 I T O 1 は液晶表示部の画素電極の一方を構成する。

【 0 0 3 1 】 透明画素電極 I T O は保護膜 P S V 1 1 に設けられた穴部 H O P に形成されており、透明画素電極 I T O 1 は薄膜トランジスタ TFT 1 のソース電極 S D 1 および薄膜トランジスタ TFT 2 のソース電極 S D 1 の両方に接続されている。このため、薄膜トランジスタ TFT 1 、 TFT 2 のうちの 1 つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すればよい。透明画素電極 I T O 1 は第 3 導電膜 d 3 によって構成され

ており、この第 3 導電膜 d 3 はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide I T O : ネサ膜）からなり、 1 0 0 0 ～ 2 0 0 0 Å の厚さに（この表示装置では、 1 4 0 0 Å 程度の膜厚）形成される。

【 0 0 3 2 】 《ソース電極 S D 1 、 ドレイン電極 S D 2 》 ソース電極 S D 1 、 ドレイン電極 S D 2 のそれぞれは、 N(+) 型半導体層 d 0 に接触する第 1 導電膜 d 1 とその上に形成された第 2 導電膜 d 2 とから構成されている。

【 0 0 3 3 】 第 1 導電膜 d 1 はスパッタで形成した C r 膜を用い、 5 0 0 ～ 1 0 0 0 Å の厚さに（この表示装置では、 6 0 0 Å 程度）で形成される。 C r 膜は膜厚を厚く形成するとストレスが大きくなるので、 2 0 0 0 Å 程度の膜厚を越えない範囲で形成する。 C r 膜は N(+) 型半導体層 d 0 との接着性を良好にし、第 2 導電膜 d 2 の A 1 が N(+) 型半導体層 d 0 に拡散することを防止する（いわゆるバリア層の）目的で使用される。第 1 導電膜 d 1 として、 C r 膜の他に高融点金属（ M o 、 T i 、 T a 、 W ）膜、高融点金属シリサイド（ M o S i 、 T i S i 、 T a S i 、 W S i ）膜を用いてもよい。

【 0 0 3 4 】 第 2 導電膜 d 2 は A 1 のスパッタリングで 3 0 0 0 ～ 5 0 0 0 Å の厚さに（この表示装置では、 4 0 0 0 Å 程度）形成される。 A 1 膜は C r 膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極 S D 1 、 ドレイン電極 S D 2 および映像信号線 D L の抵抗値を低減したり、ゲート電極 G T や i 型半導体層 A S に起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【 0 0 3 5 】 第 1 導電膜 d 1 、 第 2 導電膜 d 2 を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第 1 導電膜 d 1 、 第 2 導電膜 d 2 をマスクとして、 N(+) 型半導体層 d 0 が除去される。つまり、 i 型半導体層 A S 上に残っていた N(+) 型半導体層 d 0 は第 1 導電膜 d 1 、 第 2 導電膜 d 2 以外の部分がセルフアラインで除去される。このとき、 N(+) 型半導体層 d 0 はその厚さ分は全て除去されるようエッチングされるので、 i 型半導体層 A S も若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【 0 0 3 6 】 《映像信号線 D L 》 映像信号線 D L はソース電極 S D 1 、 ドレイン電極 S D 2 と同層の第 1 導電膜 d 1 、 第 2 導電膜 d 2 で構成されている。

【 0 0 3 7 】 《保護膜 P S V 1 1 》 薄膜トランジスタ TFT 上には保護膜 P S V 1 1 が設けられている。保護膜 P S V 1 1 は主に薄膜トランジスタ TFT を湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜 P S V 1 1 はたとえばエポキシ樹脂膜、ポリイミド樹脂膜等の有機膜で形成されており、 1 μ m 程度の膜厚で形成する。

【 0 0 3 8 】 保護膜 P S V 1 1 はマトリクス部 A R の透

明画素電極 I T O 1 部以外の部分に形成されている。すなわち、保護膜 P S V 1 1 の透明画素電極 I T O 1 部には穴部 H O P が設けられている。また、保護膜 P S V 1 1 は図 7 に示すように、外部接続端子 D T M 、 G T M を露出するよう除去され、また上部透明ガラス基板 S U B 2 側の共通透明画素電極 I T O 2 (C O M) を下部透明ガラス基板 S U B 1 の外部接続端子接続用引出配線 I N T に銀ペースト材 A G P で接続する部分も除去されている。保護膜 P S V 1 1 、絶縁膜 G I の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g m を考え薄くされる。したがって、図 7 に示すように、保護効果の高い保護膜 P S V 1 1 は周辺部もできるだけ広い範囲に亘って保護するよう絶縁膜 G I よりも大きく形成されている。

【 0 0 3 9 】 《遮光膜 B M 》 上部透明ガラス基板 S U B 2 側には、外部光またはバックライト光が i 型半導体層 A S に入射しないよう遮光膜 B M が設けられている。図 2 に示す遮光膜 B M の閉じた多角形の輪郭線は、その内側が遮光膜 B M が形成されない開口を示している。遮光膜 B M は光に対する遮蔽性が高いとえば A 1 膜や C r 膜等で形成されており、この表示装置では C r 膜がスパッタリングで 1 3 0 0 Å 程度の厚さに形成される。

【 0 0 4 0 】 したがって、薄膜トランジスタ T F T 1 、 T F T 2 の i 型半導体層 A S は上下にある遮光膜 B M および大き目のゲート電極 G T によってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜 B M は各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で 1 画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜 B M によってはっきりとし、コントラストが向上する。つまり、遮光膜 B M は i 型半導体層 A S に対する遮光とブラックマトリクスとの 2 つの機能をもつ。

【 0 0 4 1 】 透明画素電極 I T O 1 のラビング方向の根本側のエッジ部分（図 2 右下部分）も遮光膜 B M によって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【 0 0 4 2 】 遮光膜 B M は図 6 に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図 2 に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜 B M は図 6 ～ 図 9 に示すように、シールパターン S L の外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜 B M は上部透明ガラス基板 S U B 2 の縁よりも約 0.3 ～ 1.0 mm 程内側に留められ、上部透明ガラス基板 S U B 2 の切断領域を避けて形成されている。

【 0 0 4 3 】 《カラーフィルタ F I L 》 カラーフィルタ F I L は画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタ F I L は透

明画素電極 I T O 1 の全てを覆うように大き目に形成され、遮光膜 B M はカラーフィルタ F I L および透明画素電極 I T O 1 のエッジ部分と重なるよう透明画素電極 I T O 1 の周縁部より内側に形成されている。

【 0 0 4 4 】 カラーフィルタ F I L は次のように形成することができる。まず、上部透明ガラス基板 S U B 2 の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタ R を形成する。つぎに、同様な工程を施すことによって、緑色フィルタ G 、青色フィルタ B を順次形成する。

【 0 0 4 5 】 《保護膜 P S V 2 》 保護膜 P S V 2 はカラーフィルタ F I L の染料が液晶 L C に漏れることを防止するために設けられている。保護膜 P S V 2 はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【 0 0 4 6 】 《共通透明画素電極 I T O 2 》 共通透明画素電極 I T O 2 は、下部透明ガラス基板 S U B 1 側に画素ごとに設けられた透明画素電極 I T O 1 に対向し、液晶 L C の光学的な状態は各画素電極 I T O 1 と共通透明画素電極 I T O 2 との間の電位差（電界）に応答して変化する。この共通透明画素電極 I T O 2 にはコモン電圧 V com が印加されるように構成されている。この表示装置では、コモン電圧 V com は映像信号線 D L に印加される最小レベルの駆動電圧 V d min と最大レベルの駆動電圧 V d max との中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すればよい。なお、共通透明画素電極 I T O 2 の平面形状は図 6 、図 7 を参照されたい。

【 0 0 4 7 】 《保持容量素子 Cadd の構造》 透明画素電極 I T O 1 は、薄膜トランジスタ T F T と接続される端部と反対側の端部において、隣りの走査信号線 G L と重なるように形成されている。この重ね合わせは、図 4 からも明らかなように、透明画素電極 I T O 1 を一方の電極 P L 2 とし、隣りの走査信号線 G L を他方の電極 P L 1 とする保持容量素子（静電容量素子） Cadd を構成する。この保持容量素子 Cadd の誘電体膜は、薄膜トランジスタ T F T のゲート絶縁膜として使用される絶縁膜 G I および陽極酸化膜 A O F で構成されている。

【 0 0 4 8 】 保持容量素子 Cadd は走査信号線 G L の第 2 導電膜 g 2 の幅を広げた部分に形成されている。なお、映像信号線 D L と交差する部分の第 2 導電膜 g 2 は映像信号線 D L との短絡の確率を小さくするため細くされている。

【 0 0 4 9 】 保持容量素子 Cadd の電極 P L 1 の段差部において透明画素電極 I T O 1 が断線しても、その段差をまたがるように形成された第 1 導電膜 d 1 および第 2 導電膜 d 2 で構成された島領域によってその不良は補償

される。

【0050】《ゲート端子GTM》図10は表示マトリクスの走査信号線GLからその外部接続端子であるゲート端子GTMまでの接続構造を示す図であり、(A)は平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0051】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。したがって、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、走査信号線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化された第2導電膜(A1層)g2は表面にその酸化物である陽極酸化膜(A1,O_x膜)AOFが形成され下方の導電部は体積が減少する。もちろん、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行なわれる。マスクパターンAOは走査信号線GLに单一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0052】図中第2導電膜g2は、判り易くするためハッチを施してあるが、陽極酸化されない領域は樹状にバターニングされている。これは、第2導電膜g2の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえられる狙いである。したがって、本例では樹の根本に相当する部分もマスクパターンAOに沿ってずらしている。

【0053】ゲート端子GTMは酸化シリコン膜SIOと接着性が良くA1等よりも耐電触性の高い第1導電膜(Cr層)g1と、さらに第1導電膜g1の表面を保護し透明画素電極ITO1と同レベル(同層、同時形成)の第3(透明)導電膜d3とで構成されている。なお、絶縁膜GI上およびその側面部に形成された導電膜d1、d2は、導電膜d2、d1のエッティング時ピンホール等が原因で導電膜g2、g1と一緒にエッティングされないようその領域をホトレジストで覆っていた結果として残っているものである。また、絶縁膜GIを乗り越えて右方向に延長された第3導電膜(ITO層)d3は同様な対策を更に万全とさせたものである。

【0054】平面図において、絶縁膜GIはその境界線よりも右側に、保護膜PSV11もその境界線よりも右側に形成されており、左端に位置するゲート端子GTM部はそれから露出し外部回路との電気的接触ができるようになっている。図では、走査信号線GL、ゲート端子GTMの一つの対のみが示されているが、実際はこの

ような対が図7に示すように上下に複数本並べられ端子群Tg(図6、図7)が構成され、ゲート端子GTMの左端は、製造過程では、下部透明ガラス基板SUB1の切断線CT1を越えて延長され、配線SHgによって短絡される。製造過程におけるこのような短絡配線SHgは陽極酸化時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0055】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子であるドレイン端子DTMまでの接続を示す図であり、(A)は平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図7右上付近に対応し、図面の向きは便宜上変えてあるが、右端方向が下部透明ガラス基板SUB1の上端部(または下端部)に該当する。

【0056】TSTDは検査端子であり、検査端子TSTDには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子TSTDと外部接続用のドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTDは図に示すとおり下部透明ガラス基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは図7に示すように端子群Td(添字省略)を構成し、下部透明ガラス基板SUB1の切断線CT1を越えて更に延長され、製造過程中は静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTDが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン端子DTMが接続され、逆にドレイン端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子TSTDが接続される。

【0057】ドレイン端子DTMは前述したゲート端子GTMと同様な理由で第1導電膜(Cr層)g1および第3導電膜(ITO層)d3の2層で形成されており、絶縁膜GIを除去した部分で映像信号線DLと接続されている。絶縁膜GIの端部上に形成された半導体層ASは絶縁膜GIの縁をテーパ状にエッティングするためのものである。ドレイン端子DTM上では外部回路との接続を行なうため保護膜PSV11は勿論のこと取り除かれている。AOは前述した陽極酸化マスクパターンであり、その境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には第2導電膜g2が存在しないので、このパターンは直接は関係しない。

【0058】マトリクス部からドレイン端子DTM部までの引出配線は図8の(c)部にも示されるように、ドレイン端子DTM部と同じレベルの導電膜d3、g1のすぐ上に映像信号線DLと同じレベルの導電膜d1、d2がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触

し易い第2導電膜(A1層) d2を保護膜PSV11やシールパターンSLでできるだけ保護する狙いである。

【0059】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0060】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endは走査タイミングの順序に従って付加されている。

【0061】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0062】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0063】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0064】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0065】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される液晶容量、 ΔVlc は ΔVg による画素電極電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0066】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバラップ面積が増え、したがって寄生容量Cgsが大きくなり、中点電位Vlcはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0067】保持容量素子Caddの保持容量は、画素の書き特性から、液晶容量Cpixに対して4~8倍(4·Cpix < Cadd < 8·Cpix)、寄生容量Cgsに対して8~32倍(8·Cgs < Cadd < 32·Cgs)程度の値に設定する。

【0068】保持容量電極線としてのみ使用される初段の走査信号線GL(Y₀)は共通透明画素電極ITO2(Vcom)と同じ電位にする。図7の例では、初段の走査信号線は端子GTO0、引出配線INT、端子DTONおよび外部配線を通じて共通透明画素電極ITO2(COM)に短絡される。あるいは、初段の保持容量電極線Y₀は最終段の走査信号線Yendに接続、Vcom以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₀を受けるように接続してもよい。

【0069】《製造方法》つぎに、上述した液晶表示装置の下部透明ガラス基板SUB1側の製造方法について図13~図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Hは各写真処理に対応して区分けしたもので、工程Hを除き各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0070】工程A、図13

30 7059ガラス(商品名)からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜S1Oをディップ処理により設けたのち、500°C、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100ÅのCrからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッティング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッティングする。それによって、ゲート端子GTM、ドレン端子DTM、ゲート端子GTMを接続する配線(陽極酸化バスライン)SHg、ドレン端子DTMを短絡する配線(バスライン)SHd、配線(陽極酸化バスライン)SHgに接続された陽極酸化パッド(図示せず)を形成する。

【0071】工程B、図13

膜厚が2800ÅのA1-Pd、A1-Si、A1-Si-Ti、A1-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と冰酢酸との混酸液で第2導電膜g2を選択的にエッティングする。

【0072】工程C、図13

50 写真処理後(前述した陽極酸化マスクAO形成後)、3

%酒石酸をアンモニアにより pH 6.25 ± 0.05 に調整した溶液をエチレングリコール液で 1 : 9 に稀釀した液からなる陽極酸化液中に下部透明ガラス基板 SUB 1 を浸漬し、化成電流密度が 0.5 mA/cm² になるように調整する（定電流化成）。つぎに、所定の A1, O₁ 膜厚が得られるのに必要な化成電圧 125V に達するまで陽極酸化を行なう。その後、この状態で数 10 分保持することが望ましい（定電圧化成）。これは均一な A1, O₁ 膜を得る上で大事なことである。それによって、第 2 導電膜 g₂ が陽極酸化され、走査信号線 G_L、ゲート電極 G_T および電極 P_L 1 上に膜厚が 1800 Å の陽極酸化膜 AOF₁ が形成される。

【0073】工程D、図 14

プラズマ CVD 装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が 2000 Å の窒化 Si 膜を設け、プラズマ CVD 装置にシランガス、水素ガスを導入して、膜厚が 2000 Å の i 型非晶質 Si 膜を設けたのち、プラズマ CVD 装置に水素ガス、ホスフィンガスを導入して、膜厚が 300 Å の N(+) 型非晶質 Si 膜を設ける。

【0074】工程E、図 14

写真処理後、ドライエッティングガスとして SF₆、CC₁ を使用して N(+) 型非晶質 Si 膜、i 型非晶質 Si 膜を選択的にエッティングすることにより、i 型半導体層 AS の島を形成する。

【0075】工程F、図 14

写真処理後、ドライエッティングガスとして SF₆ を使用して、窒化 Si 膜を選択的にエッティングする。

【0076】工程G、図 15

膜厚が 600 Å の Cr からなる第 1 導電膜 d₁ をスパッタリングにより設け、さらに膜厚が 4000 Å の A1-Pd、A1-Si、A1-Si-Ti、A1-Si-Cu 等からなる第 2 導電膜 d₂ をスパッタリングにより設ける。写真処理後、第 2 導電膜 d₂ を工程 B と同様な液でエッティングし、第 1 導電膜 d₁ を工程 A と同様な液でエッティングし、映像信号線 DL、ソース電極 SD₁、ドレイン電極 SD₂ を形成する。つぎに、ドライエッティング装置に CC₁、SF₆ を導入して、N(+) 型非晶質 Si 膜をエッティングすることにより、ソースとドレイン間の N(+) 型半導体層 d₀ を選択的に除去する。

【0077】工程H、図 15

有機膜を塗布する。つぎに、写真処理によりフォトレスト RST を形成した後、有機膜を選択的にエッティングすることによって、保護膜 PSV₁ 1 を形成する。つぎに、膜厚が 1400 Å の透明導電膜からなる第 3 導電膜 d₃ をスパッタリングにより設ける。つぎに、フォトレスト RST を除去することにより、ゲート端子 GT_M、ドレイン端子 DT_M の最上層および透明画素電極 ITO₁ を形成する。

【0078】このようにすれば、透明画素電極 ITO₁

を形成するのに、第 3 導電膜 d₃ のホトエッティング工程を行なう必要がないから、製造コストが安価となる。

【0079】《液晶表示モジュールの全体構成》図 16 は、液晶表示モジュール MDL の各構成部品を示す分解斜視図である。

【0080】SHD は金属板からなる枠状のシールドケース（メタルフレーム）、LCW はシールドケース SHD の表示窓、PNL は液晶表示パネル、SPB は光拡散板、MFR は中間フレーム、BL はバックライト、BL_S はバックライト支持体、LCA は下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュール MDL が組み立てられる。

【0081】モジュール MDL は、シールドケース SHD に設けられた爪 CL とフック FK とによって全体が固定されるようになっている。

【0082】中間フレーム MFR は表示窓 LCW に対応する開口が設けられるように枠状に形成され、その枠部分には拡散板 SPB、バックライト支持体 BL_S ならびに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0083】下側ケース LCA はバックライト光の反射体も兼ねており、効率のよい反射ができるように、バックライト（蛍光管） BL に対応して反射山 RM が形成されている。

【0084】《表示パネル PNL と駆動回路基板 PCB 1》図 17 は、図 5 等に示した表示パネル PNL に映像信号駆動回路 He、Ho と垂直走査回路 V とを接続した状態を示す上面図である。

【0085】CHI は表示パネル PNL を駆動させる駆動集積回路チップ（下側の 3 個は垂直走査回路 V 側の駆動集積回路チップ、左右の 6 個ずつは映像信号駆動回路 He、Ho 側の駆動集積回路チップ）である。TCP は図 18、図 19 で後述するように駆動集積回路チップ CHI がテープ・オートメイティド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB 1 はテープキャリアパッケージ TCP やコンデンサ CDS 等が実装された駆動回路基板で、駆動回路基板 PCB 1 は 3 つに分割されている。FGP はフレームグランドパッドであり、フレームグランドパッド FGP はシールドケース SHD に切り込んで設けられたバネ状の破片 FG が半田付けされる。FC は下側の駆動回路基板 PCB 1 と左側の駆動回路基板 PCB 1 とを電気的に接続し、下側の駆動回路基板 PCB 1 と右側の駆動回路基板 PCB 1 とを電気的に接続するフラットケーブルである。フラットケーブル FC としては図に示すように、複数のリード線（りん青銅の素材に Sn 銀金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0086】《テープキャリアパッケージ TCP の接続

構造》図18は走査信号駆動回路Vや映像信号駆動回路H e、H oを構成する、集積回路チップCH Iがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用のドレイン端子DT Mに接続した状態を示す要部断面図である。

【0087】同図において、TT Bは集積回路チップCH Iの入力端子・配線部であり、TT Mは集積回路チップCH Iの出力端子・配線部であり、たとえばCuからなり、それぞれの内側の先端部(通称インナーリード)には集積回路チップCH IのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TT B、TT Mの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCH Iの入力および出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。テープキャリアパッケージTCPは、その先端部がパネルPNL側のドレイン端子DT Mを露出した保護膜PSV11を覆うようにパネルに接続されており、したがって外部接続端子DT M(GTM)は保護膜PSV11かテープキャリアパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0088】BF1はポリイミド等からなるベースフィルムであり、SR Sは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の透明ガラス基板SUB1、SUB2の隙間は洗浄後エポキシ樹脂EPX等により保護され、テープキャリアパッケージTCPと上部透明ガラス基板SUB2との間には更にシリコーン樹脂SILが充填され保護が多重化されている。

【0089】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図20に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るために電源回路や、ホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電気的に接続される。

【0090】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電気的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フ

レームMFRの所定の凹部に嵌合される。

【0091】図21はこの発明に係る他のアクティブ・マトリックス方式のカラー液晶表示装置の画素部を示す断面図である。図に示すように、薄膜トランジスタTFTを保護する保護膜PSV12が設けられており、保護膜PSV12はたとえばプラズマCVD装置で形成した酸化Si膜や窒化Si膜で形成されており、1μm程度の膜厚で形成されている。保護膜PSV12に設けられた穴部HOP1、絶縁膜GIに設けられた穴部HOP2に透明画素電極ITO1が設けられている。

【0092】この液晶表示装置を製造するには、酸化Si膜、窒化Si膜を設け、写真処理によりフォトレジストを形成した後、酸化Si膜、窒化Si膜を選択的にエッチングすることによって、保護膜PSV12を形成し、穴部HOP1を設けるとともに、絶縁膜GIに穴部HOP2を設け、第3導電膜d3をスパッタリングにより設け、フォトレジストを除去することにより、ゲート端子GTM、ドレイン端子DT Mの最上層および透明画素電極ITO1を形成する。

【0093】このようにすれば、透明画素電極ITO1を形成するのに、第3導電膜d3のホトエッチング工程を行なう必要がないから、製造コストが安価となる。

【0094】

【発明の効果】以上説明したように、この発明に係る液晶表示装置、その製造方法においては、画素電極を形成するのに、導電膜のホトエッチング工程を行なう必要がないから、製造コストが安価となる。このように、この発明の効果は顕著である。

【図面の簡単な説明】

【図1】図2に示した液晶表示装置の画素部を示す断面図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺を示す断面図である。

【図4】図2の4-4切断線における保持容量素子Cap dの断面図である。

【図5】表示パネルのマトリックス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し、さらに具体的に説明するためのパネル平面図である。

【図7】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図8】マトリックスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側にゲート端子があるパネル縁部分を示し、右側に外部接続端子のないパネル縁部分を示す断面図である。

【図10】ゲート端子GTMと走査信号線GLとの接続

部近辺を示す平面と断面の図である。

【図11】ドレン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図12】アクティブ・マトリックス方式のカラー液晶表示装置のマトリックス部とその周辺を含む回路図である。

【図13】下部透明ガラス基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】下部透明ガラス基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】下部透明ガラス基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

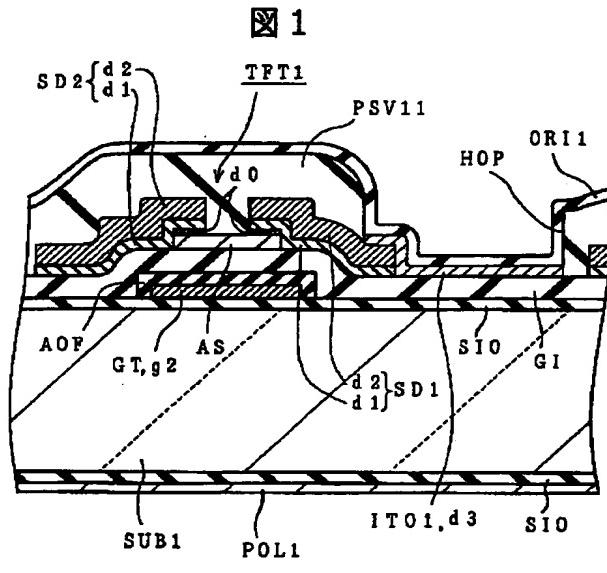
【図16】液晶表示モジュールの分解斜視図である。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動回路を構成する集積回路チップCH Iがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図19】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図1】



PSV11…保護膜
 TFT1…薄膜トランジスタ
 ITO1…透明画素電極
 HOP…穴部

【図20】周辺駆動回路基板PCB1（上面が見える）と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【図21】この発明に係る他の液晶表示装置の画素部を示す断面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

G I …絶縁膜、G T…ゲート電極、A S…i型半導体層
S D…ソース電極またはドレイン電極、P S V…保護
膜、B M…遮光膜

L C … 液晶、 T F T … 薄膜トランジスタ、 I T O … 透明画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

A O … 陽極酸化マスクパターン、 G T M … ゲート端子、
 D T M … ドレイン端子

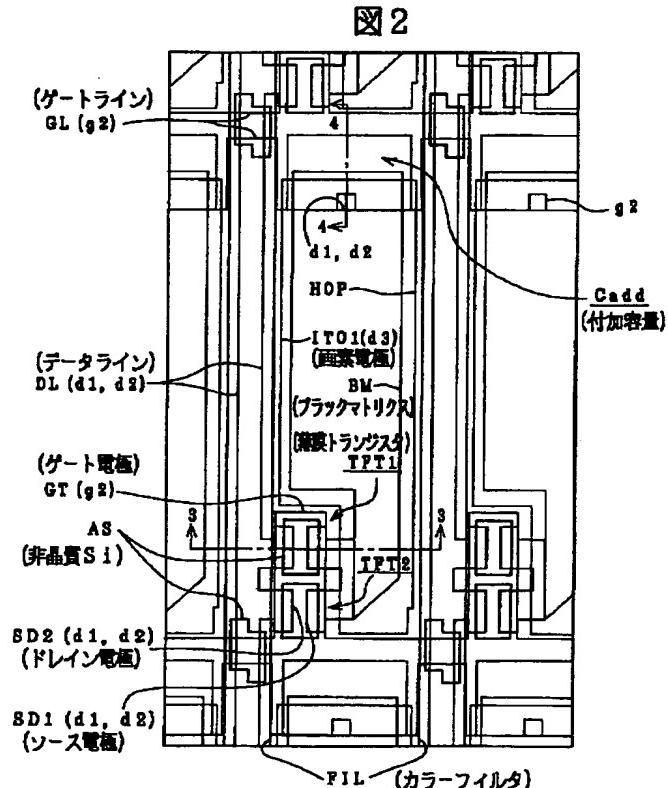
S HD…シールドケース、P NL…液晶表示パネル、S PB…光拡散板

MFR…中間フレーム、BL…バックライト、BLS…
バックライト支持体

L C A…下側ケース、R M…バックライト光反射山、H O P…穴部

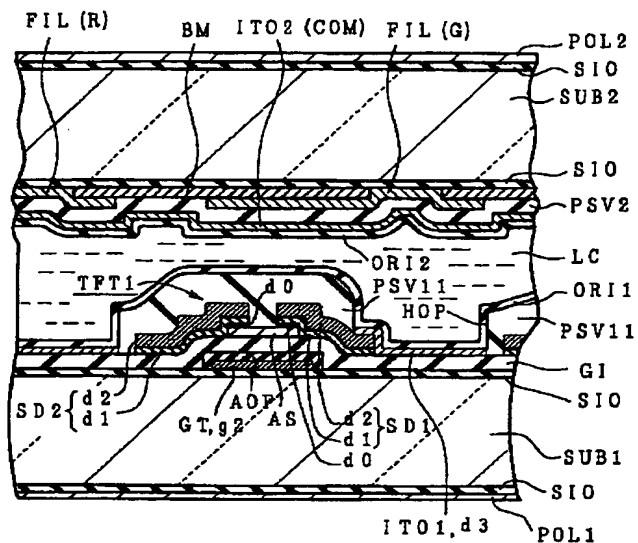
(以上添字省略)。

[图 2]



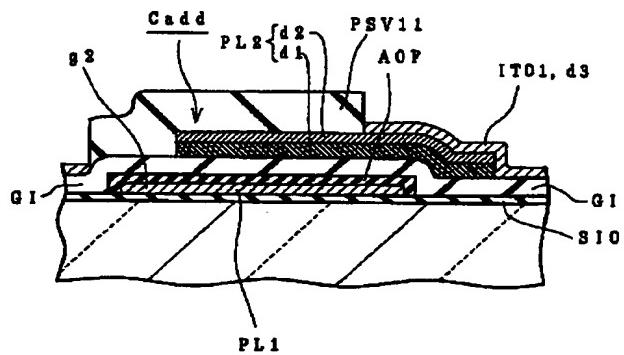
【図3】

図3

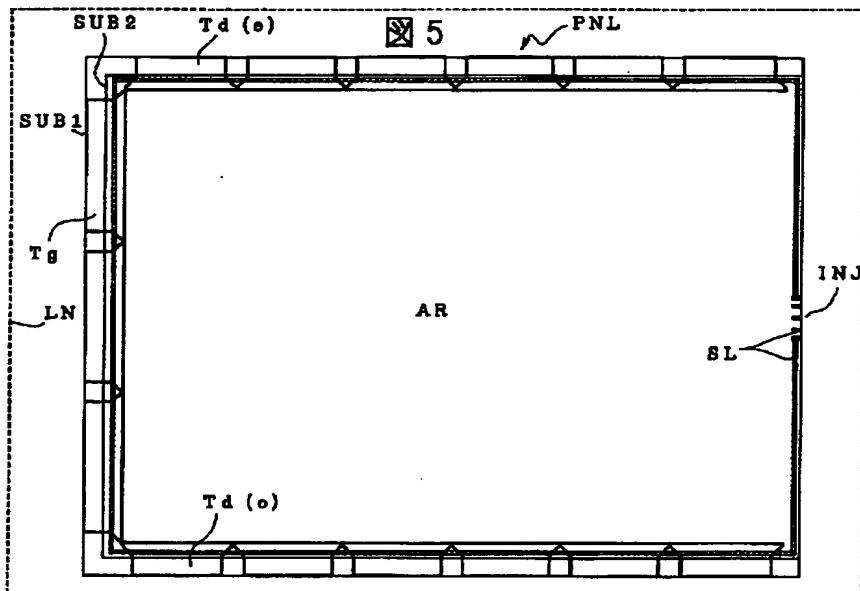


【図4】

図4

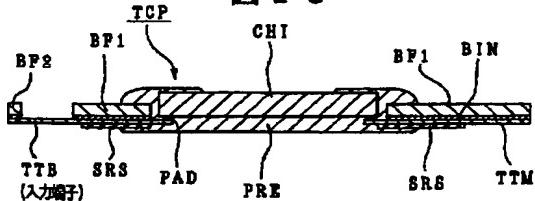


【図5】

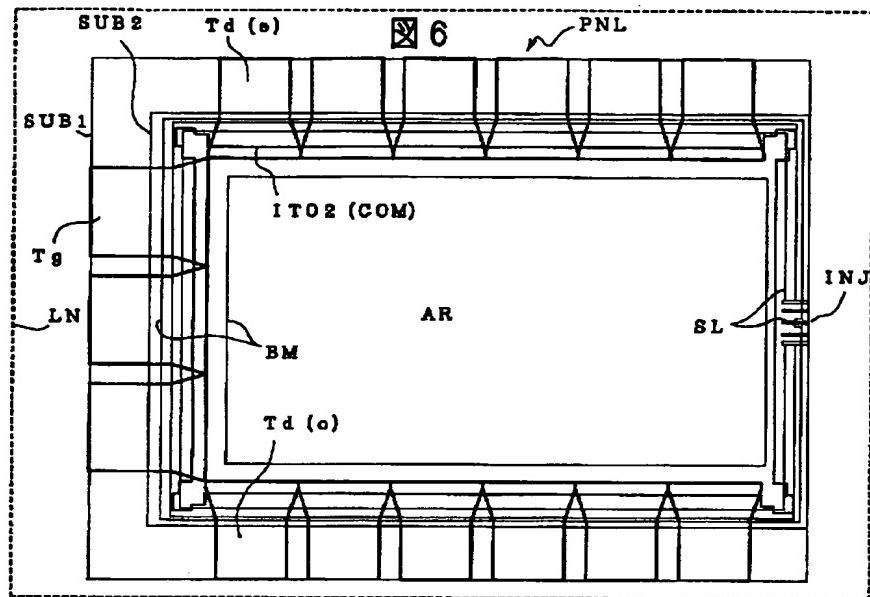


【図18】

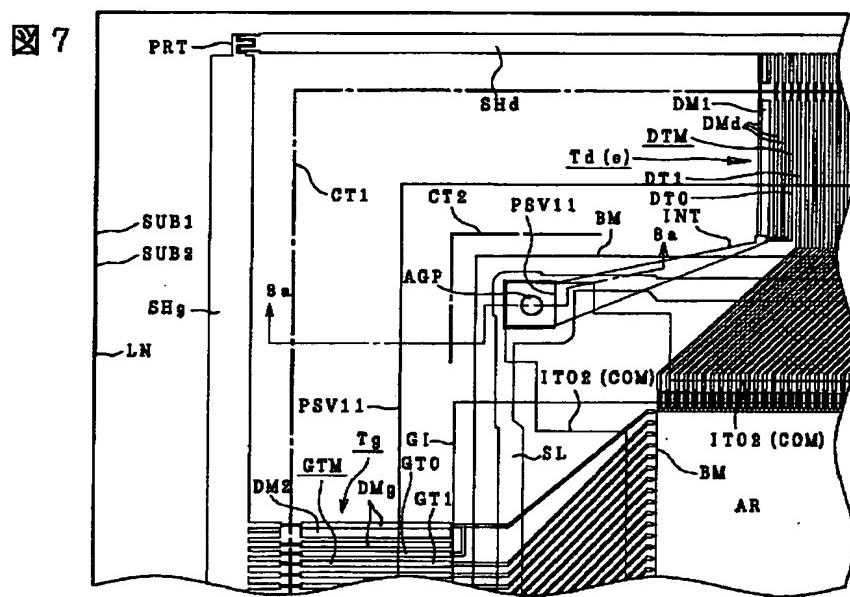
図18



[図 6]

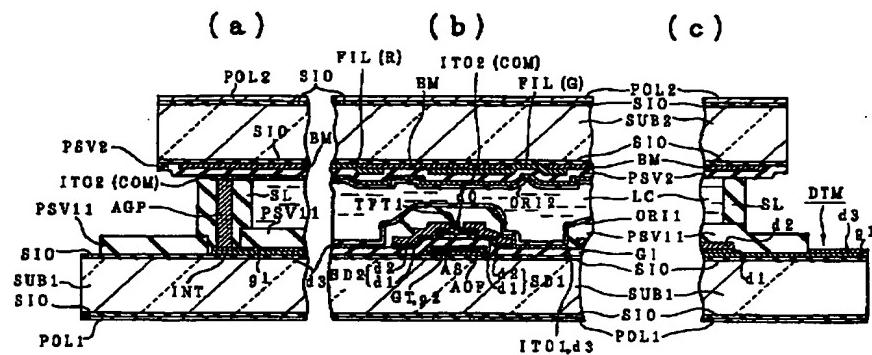


[図 7]



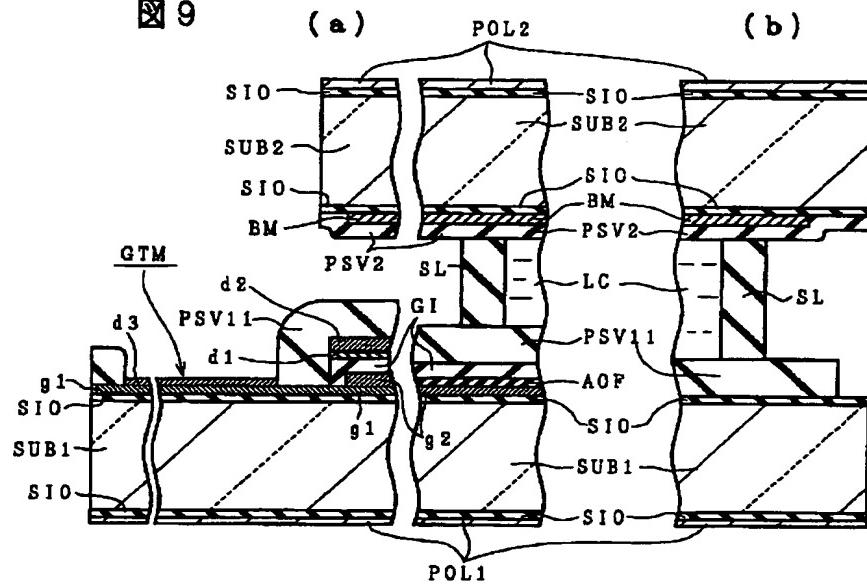
【図 8】

図 8



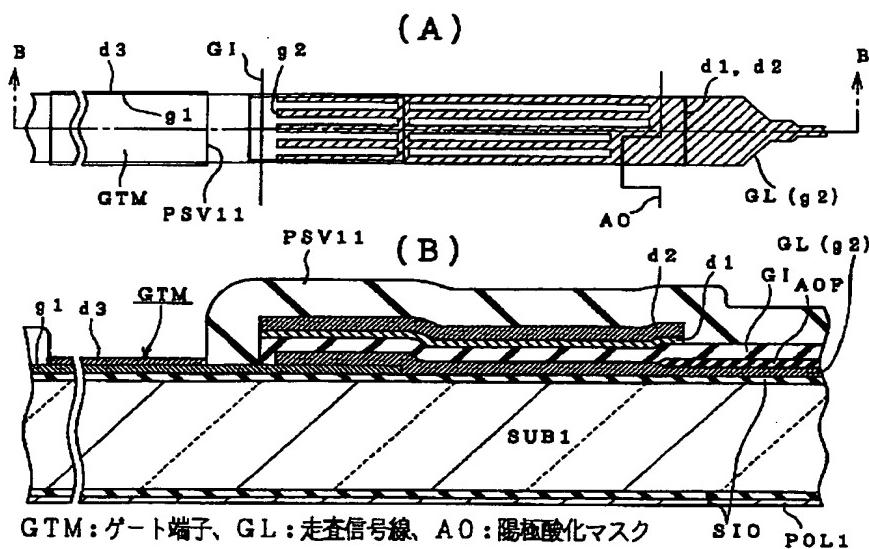
【図 9】

図 9

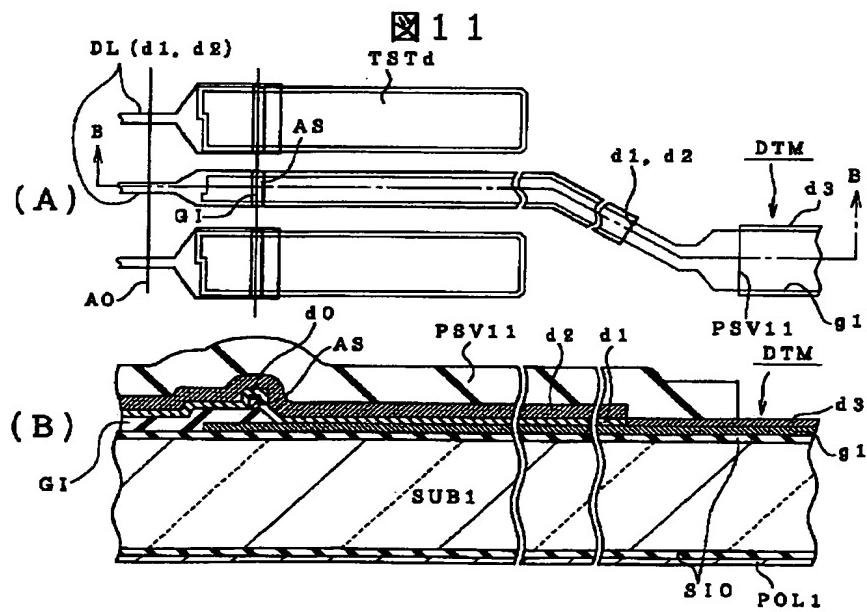


【図10】

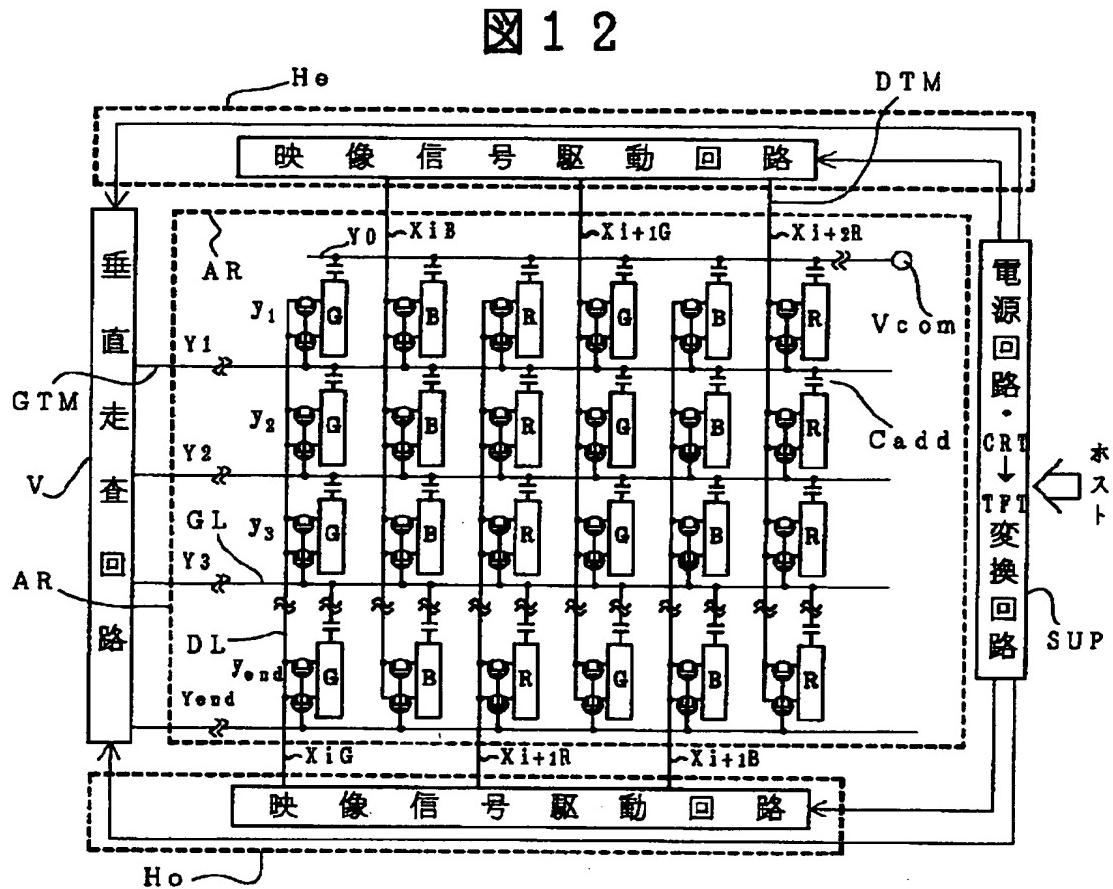
図10



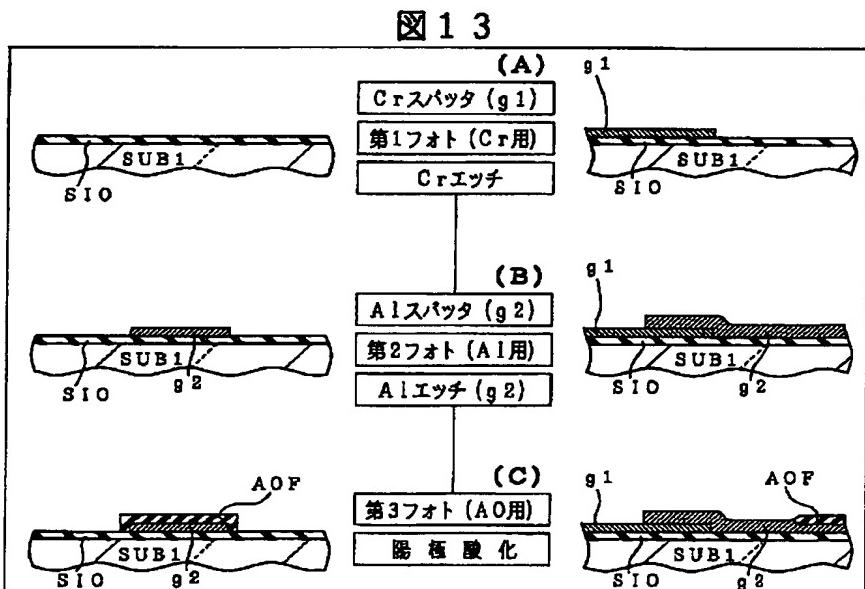
【図11】



【図12】

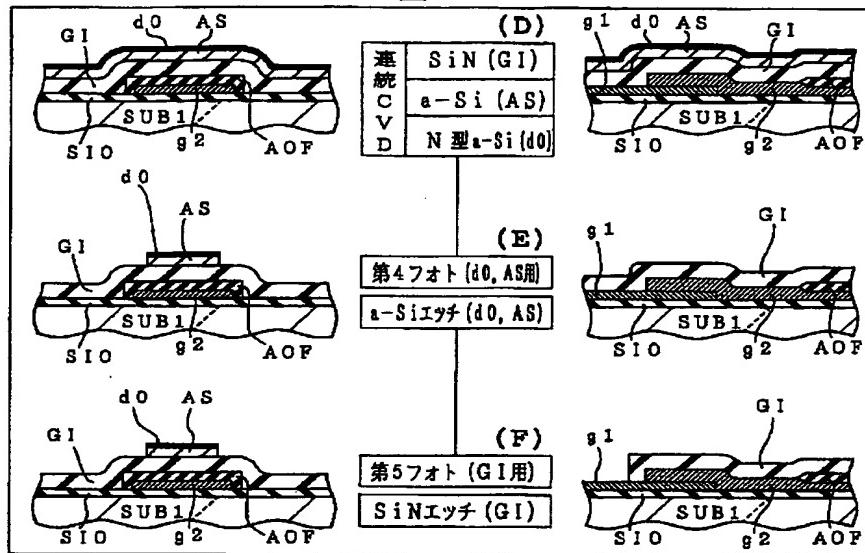


【図13】



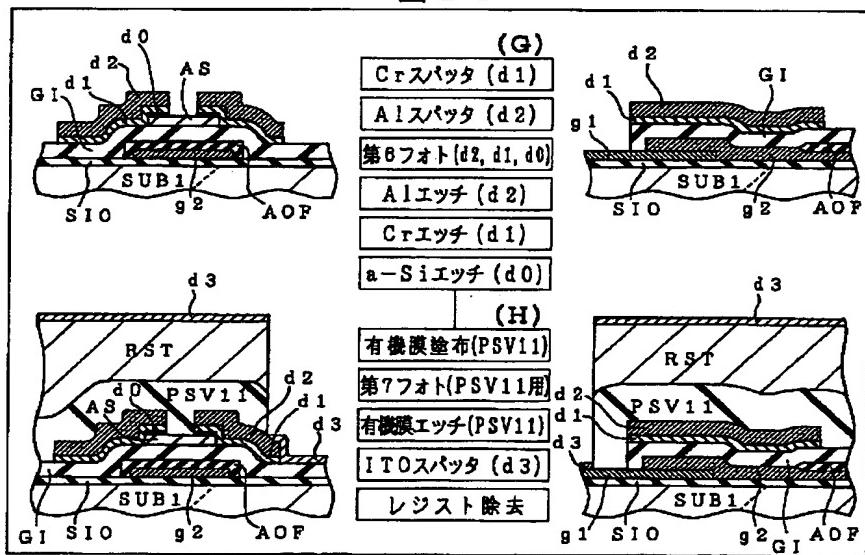
【図14】

図14

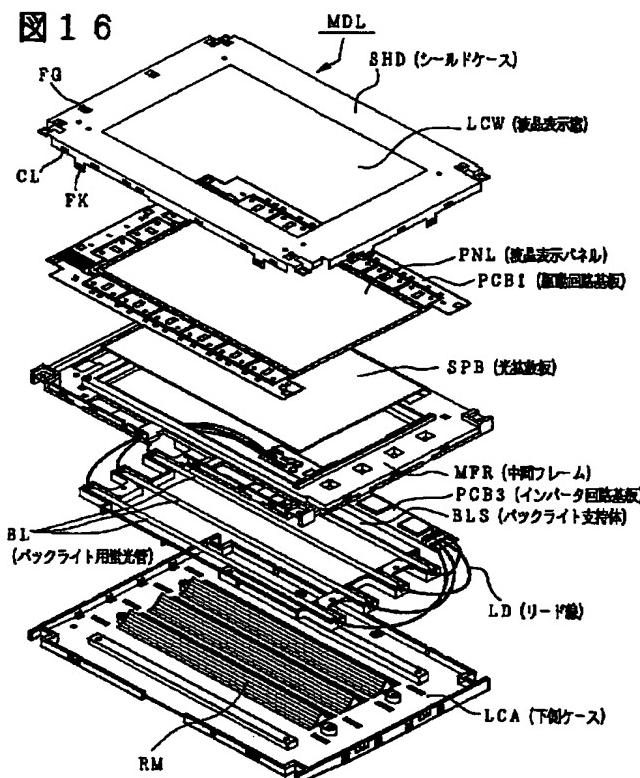


【図15】

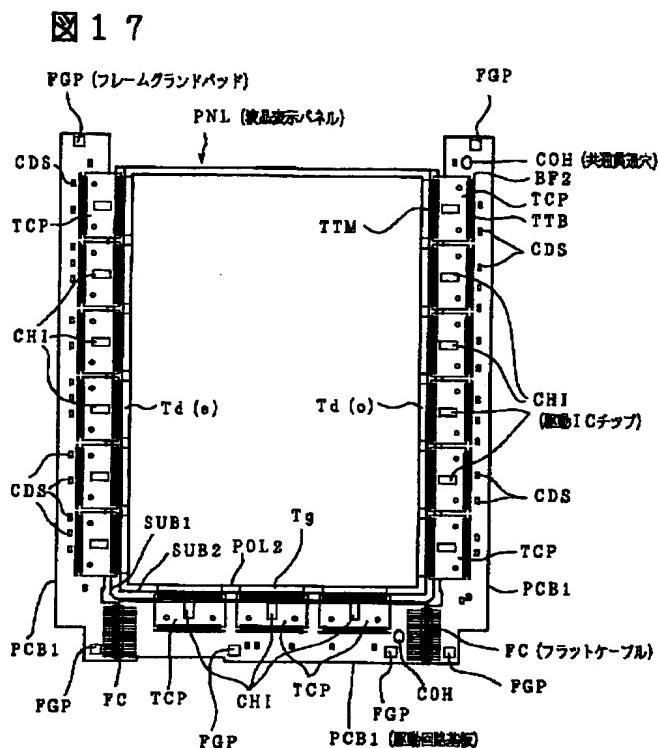
図15



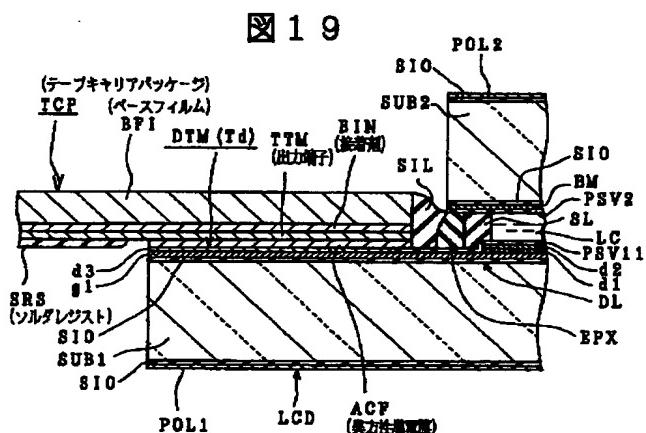
【図 16】



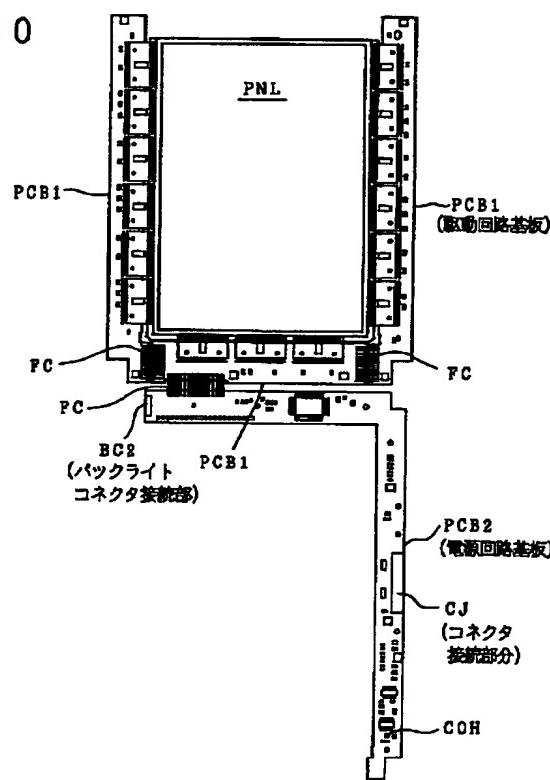
【図 17】



【図 19】

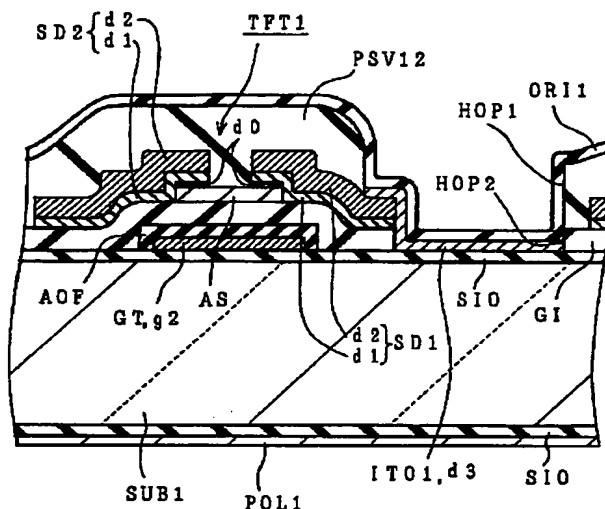


【図 20】



【図 21】

図 21



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.